

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-290535

(43)Date of publication of application : 26.10.1999

(51)Int.Cl.

A63F 7/02
G06F 7/58

(21)Application number : 10-096210

(71)Applicant : LE TEC:KK

(22)Date of filing : 08.04.1998

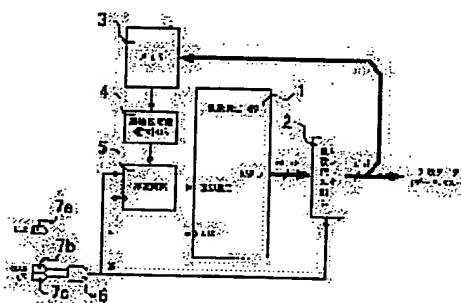
(72)Inventor : IMAI NOBUMASA

(54) PSEUDO-RANDOM NUMBER GENERATING DEVICE FOR GAME MACHINE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a random number generating device in which the maximum cycle of the random number generating circuit is difficult to be synchronized with the reading cycle of the CPU for every game machine, and the periodicity is difficult to be generated in the random number strings generated in a random number generating circuit used for a game machine.

SOLUTION: This pseudo-random number generating device for game machine is composed of an uniform random number generating circuit 1 such as M system, etc., a register 2 storing a random number data outputted from the uniform random number generating circuit 1, and a means which shafts a system clock to the uniform random number generating circuit 1 by specified clocks for each bonus, and outputs random numbers in the register 2 to the data bus according to the read-out by CPU, etc. The means which shifts the system clock by specified clocks is composed of a memory 3 storing the random numbers in the register 2, a delay setting value selection circuit 4 which selects a delay clock value (1 to N) based on the random numbers in the memory 3, and a delay circuit 5 which delays a system clock 7a based on the output of the delay setting value selection circuit 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A pseudo-random number generator for game machines constituted so that it might consist of a register which stores random-digits data outputted from a uniform-random-number generating circuit and these random-number-generation circuits, such as an M sequence which generates random digits for every winning a prize, and a means which shifts a system clock to a uniform-random-number generating circuit by predetermined clock for every winning a prize and random digits in a register might be outputted to a data bus by read-out of CPU etc.

[Claim 2] A pseudo-random number generator for game machines according to claim 1 with which a means which shifts said system clock by predetermined clock consists of memory which memorizes a random-digits value in a register, a delay setting selection circuitry which chooses one clock - N which are delayed based on a random-digits value memorized by this memory, and a delay circuit which delays a system clock based on an output of this delay setting selection circuitry.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] In the random digits used for a game machine, this invention relates to the pseudo-random number generator of the game machine which has the means brought more close to uniformity in lottery probability while offering random digits without periodicity.

[0002]

[Description of the Prior Art] Although various random-number-generation circuits, such as a linearity congruence method and an M sequence, are used as conventional random digits for game machines, a reset signal is inputted at intervals of predetermined, and the thing of the method which uses the output value of the random-number-generation circuit concerned as random digits to the timing which wins a prize of subsequent start winning-a-prize opening is known in order to eliminate the overrun of CPU.

[0003]

[Problem(s) to be Solved by the Invention] However, since the above-mentioned equipment generally generates the random digits of an M sequence with the same single clock (the following, system clock) as the CC processor (henceforth CPU) which controls a game machine or it is controlled, the generated random digits will be in the condition that system clock ***** synchronized with the read-out period. Moreover, since it is incorporated as a part of control program of a game machine by interval reset interruption inputted from the outside and is processed as ejection processing of random digits shows the above-mentioned random-number-generation method to drawing 1, since it is the same irrespective of the count of winning a prize each time, the execution time, i.e., number of system clocks, of a random-digits generation manipulation routine until CPU performs ejection of random digits, the periodicity of random number sequence will produce it. Suppose that the interval reset interruption time amount which is 50msec(s) and is inputted from the outside is 4msec(s) the maximum period of the random number sequence which is the random digits which are 0-49 and are updated once by 1msec, and generates the random digits generated as it is shown in drawing 2 in order to explain briefly the case where a period synchronizes for example, the random digits extracted this period turn into random digits (drawing 2 — "0", "10", "20", "30", and "40") which have a bias extremely, and the trouble that the lottery probability (every random digits have desirable 1/50 in the example of drawing 2) of each random digits is not uniform produces them. So, when a prize is won, in order to make lottery probability of the random digits extracted uniform, the period of random number generation is changed for every means which is not synchronized with a system clock, or winning a prize, namely, means, such as shifting the system clock to a uniform-random-number generating circuit by the number clock for every winning a prize, are needed. This invention is made in view of the above-mentioned trouble, it is changing the sampling cycle of random digits suitably for every winning a prize, and while abolishing the periodicity of the random digits plotted, it aims at offering the random-number-generation equipment which can bring the lottery probability of random digits close uniformly.

[0004]

[Means for Solving the Problem] That is, this invention consists of uniform-random-number

generating circuits, such as an M sequence which generates random digits, a register which stores random-digits data outputted from this random-number-generation circuit for every winning a prize, and a means which shifts a system clock to a uniform-random-number generating circuit by predetermined clock for every winning a prize, and a pseudo-random number generator for game machines constituted so that random digits in a register might be outputted to a data bus by read-out of CPU etc. attains this object.

[0005]

[Function] In the pseudo-random number generator concerning this invention, random digits are updated by the input of a system clock in the random-number-generation circuit. And since there is winning a prize with a game machine, a system clock delay means operates for this every winning a prize while a random-digits value is outputted to CPU through a data bus, when reading appearance of the random digits stored in the register from CPU is carried out, and the input of the system clock to a random-number-generation circuit is delayed only 1 thru/or several N clock minutes, the period T of a random-number-generation circuit serves as $T = T_0 + x$ ($x = 1 - N$). Consequently, the random-digits value outputted from the random-number-generation circuit in the timing of the next winning a prize will shift by x clocks. When the close period of a random-number-generation circuit is not in two periods as a result of the 2nd winning a prize, the period T of a random-number-generation circuit is set to $T_0 + 2x$, and when a round is already taken, it becomes $T = T_0 + x$. although CPU will carry out reading appearance and it will synchronize by the least common multiple of a period t (regularity) and the period T_0 of a random-number-generation circuit when there is no winning a prize, in the case of this invention, it decreases remarkably that carry out reading appearance and a period t and the random-digits period T of a random-number-generation circuit (fluctuation) synchronize.

[0006]

[Example] It explains to details according to the example which had this invention illustrated below. Drawing 3 is the block diagram showing the concept of the first example concerning this invention, and the random-digits data RD which 1 is a random-number-generation circuit for generating uniform random numbers, such as an M sequence, and was computed in this random-number-generation circuit 1 is stored in the random-digits read-out register 2. 3 is memory which memorizes a random-digits value simultaneously, when outputted through a data bus from the random-digits read-out register 2, and the random-digits data memorized by this memory 3 is outputted to the delay setting selection circuitry 4. In this delay setting selection circuitry 4, the time delay for setting up the number of delay cycles based on the inputted random-digits value is determined, and the value x of 1 thru/or N (N is an integer) is outputted to a delay circuit 5. A delay circuit 5 delays the input of the system clock to the random-number-generation circuit 1 by x clocks based on the inputted delay setting x. When the lead signal 7b output of is done from CPU as a result, the random-digits value stored in the register 2 is outputted through a data bus. In addition, 6 is the control gate. The means which shifts a system clock by $1 - N$ (N is integer) clock for every winning a prize by said register 2, memory 3, the delay setting selection circuitry 4, and the delay circuit 5 is formed.

[0007] The random-number-generation circuit 1 shall be based on the 1 clock 1 random-number-generation method for example, by the n bit M sequence, for example, n bit counter. The random-digits read-out register 2 latches the random digits generated by the random-number-generation circuit 1 by OE which is the output signal of the control gate 6, and sends out the latched random digits on a data bus required in order that memory 3 and CPU which is not illustrated may read random digits. Memory 3 is memory eliminable electric, memorizes the random-digits data sent from the random-digits read-out register 2 (maintenance), and sends the data concerned to the delay setting selection circuitry 4 by predetermined actuation or actuation.

[0008] The delay setting selection circuitry 4 determines whether you make it delayed by what cycle to a delay circuit 5 based on the random-digits data sent from memory 3, and sends out the information to a delay circuit 5. For example, when data is "1", based on the data sent from the delay setting selection circuitry 4, the delay circuit 5 which sends out the information of making it delayed by 3 cycles to a delay circuit 5 when it is a part for 1 cycle and "3" generates

desired time delay/cycle, and controls the random-number-generation circuit 1. The control gate 6 is the AND gate and generates OE signal by the AND of READ signal 7b and CS signal 7c. In addition, as for a control signal, CLK7a shows a system clock, and it is shown that READ signal 7b and CS signal 7c are the access signals from CPU. when [in addition,] READ signal 7b, CS signal 7c, and OE signal explain actuation for convenience — a high — it considers as an active signal.

[0009] Drawing 4 is the block diagram showing actuation of the 2nd example which starts this invention for delaying a system clock by 1 cycle for every (every lead signal) winning a prize to the random-number-generation circuit 1 with predetermined random-digits data, and serves as an equal circuit with a means by which 8 shifts the system clock to a uniform-random-number generating circuit by one clock for every winning a prize. An active signal is sent out. if there is winning a prize, in order that CPU which is not illustrated may read random-digits data — READ signal 7b and CS signal 7c — both — "H" — It is changed into active OE signal. these signals — the control gate 6 — "H" — this signal — random-digits reading appearance — carrying out — a register 2 — setting — as a latch signal — functioning — moreover, the random-number-generation generating circuit 1 — setting — a part for a predetermined clock — it functions as a delay signal for making "1" disabling (prohibition condition).

[0010] It is the timing chart of drawing 5 which showed a concrete change of each signal in this 2nd example. namely, "H" for OE signal to make the random-number-generation generating circuit 1 disable by 1 cycle by the equal circuit 8 — changed into an active delay signal, only this period holds the random digits under current generating as it is, and the random-number-generation circuit 1 concerned sends it out to up to a data bus. Whenever every winning a prize and CPU read random-digits data, the random-number-generation circuit 1 is disabled by one clock. For example, if there is two winning a prize within the maximum period (referred to as 50msec(s) in this example) of the random-number-generation circuit 1, it will compare from the case where it is a time of there being no winning a prize, and random-digits data before shifting by system clock 1 clock will be extracted (the 1st time becomes the radix point of a shift).

Moreover, if there is part five winning a prize for three clocks when there is three winning a prize similarly and there is part four winning a prize for two clocks, random-digits data before shifting by four clocks will be extracted. Drawing 6 is explanatory drawing showing the above-mentioned example, and it is shown that the conventional example of drawing 2 is improved according to the 2nd example.

[0011]

[Effect of the Invention] With the random-number-generation equipment applied to this invention as stated above The result which shifts by x clocks for every winning a prize while becoming possible to prevent fixed period-ization of the random digits generated by synchronizing with a read-out period since the extract location of random-digits data changes suitably for every winning a prize, Since it becomes possible to extract all the random-digits values computed with random-number-generation equipment, it becomes possible to maintain uniformity about lottery probability. Moreover, the clock only for random-number-generation equipment is not needed, but since the same clock as the clock which controls CPU can be used, it becomes possible to realize in an easy circuit.

[Translation done.]

【特許請求の範囲】

【請求項1】 入賞毎に乱数を発生するM系列等の一様乱数発生回路と、該乱数発生回路から出力された乱数データを格納するレジスタと、入賞毎に一様乱数発生回路へのシステムクロックを所定クロック分だけずらす手段とからなり、CPU等の読み出しによりレジスタ内の乱数をデータバスへ出力するように構成された遊技機用疑似乱数発生装置。

【請求項2】 前記システムクロックを所定クロック分ずらす手段が、レジスタ内の乱数値を記憶するメモリと、該メモリに記憶された乱数値に基づき遅延させるクロック数1～Nを選択する遅延設定値選択回路と、該遅延設定値選択回路の出力に基づきシステムクロックを遅延させる遅延回路とからなる請求項1記載の遊技機用疑似乱数発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、遊技機に使用される乱数において、周期性のない乱数を提供すると共に、抽選確率において、より一様性に近づける手段とを兼ね備えた遊技機の疑似乱数発生装置に関するものである。

【0002】

【従来の技術】 従来の遊技機用乱数として、線形合同法やM系列等の様々な乱数発生回路が使用されているが、CPUの暴走を排除する目的で、所定間隔でリセット信号を入力し、その後のスタート入賞口に入賞するタイミングで当該乱数発生回路の出力値を乱数とする方式のものが知られている。

【0003】

【発明が解決しようとする課題】 しかし上記装置は、一般的には遊技機を制御する中央制御処理装置（以下、CPUという）と同じ単一のクロック（以下、システムクロック）で例えばM系列の乱数を生成したり、制御される為に、生成された乱数はシステムクロックひいては読み出し周期と同期した状態となる。また、上記乱数発生方式は、乱数の取り出し処理が図1に示す様に外部から入力されるインターバルリセット割り込みによって遊技機の制御プログラムの一部として取り込まれて処理される為に、CPUが乱数の取り出しを行うまでの乱数生成処理ルーチンの実行時間、すなわちシステムクロック数は入賞回数にかかわらず毎回同じであることから乱数列の周期性が生じてしまう。周期が同期する場合を簡単に説明するために例えば図2に示す様に、発生する乱数を0～49であり、1msecに1回更新される乱数であり、発生する乱数列の最大周期を50msecであり、外部から入力されるインターバルリセット割り込み時間が4msecだとする。この周期で抽出された乱数は極めて偏りのある乱数（図2では“0”、“10”、“20”、“30”、“40”）となり、各乱数の抽選確率（図2の例では、どの乱数も1/50が望ましい）が一様ではないという問題

点が生じる。そこで、入賞した際に抽出される乱数の抽選確率を一様とする為には、例えばシステムクロックに同期させない手段、あるいは入賞毎に乱数発生周期を変化させる、すなわち入賞毎に一様乱数発生回路へのシステムクロックを数クロック分ずらす等の手段が必要とされる。本発明は上記問題点に鑑みてなされたものであり、入賞毎に乱数のサンプリングサイクルを適宜に変化させることで、プロットされる乱数の周期性をなくすと共に乱数の抽選確率を一様に近づけることが可能な乱数発生装置を提供することを目的とする。

【0004】

【課題を解決するための手段】 すなわち本発明は、乱数を発生するM系列等の一様乱数発生回路と、入賞毎に該乱数発生回路から出力された乱数データを格納するレジスタと、入賞毎に一様乱数発生回路へのシステムクロックを所定クロック分だけずらす手段とからなり、CPU等の読み出しによりレジスタ内の乱数をデータバスへ出力するように構成された遊技機用疑似乱数発生装置により本目的を達成する。

【0005】

【作用】 本発明にかかる疑似乱数発生装置では、乱数発生回路にシステムクロックの入力により乱数を更新している。そして遊技機で入賞があり、CPUからレジスタに格納された乱数の読み出された時、データバスを介してCPUに乱数値が出力されると共に該入賞毎にシステムクロック遅延手段が作動し、1乃至Nクロック数だけ乱数発生回路へのシステムクロックの入力を遅延させるので、乱数発生回路の周期Tは、 $T = T_0 + x$ （ $x = 1 \sim N$ ）となる。その結果、次の入賞のタイミングにおける乱数発生回路から出力される乱数値がxクロック分だけずれることになる。第2回目の入賞の結果乱数発生回路の周期が2周期に入っていない場合には、乱数発生回路の周期Tは、 $T_0 + 2x$ となり、既に一巡した場合には $T = T_0 + x$ となる。入賞がない場合には、CPUの読み出し周期t（一定）と乱数発生回路の周期 T_0 の最小公倍数で同期することになるが、本発明の場合は読み出し周期tと乱数発生回路の乱数周期T（変動）とは、同期することが著しく少なくなる。

【0006】

【実施例】 以下に本発明を図示された実施例に従って詳細に説明する。図3は本発明にかかる第一実施例の概念を示すブロック図であり、1はM系列等の一様乱数を発生するための乱数発生回路であり、該乱数発生回路1で算出された乱数データRDは乱数読み出しレジスタ2に格納される。3は乱数読み出しレジスタ2からデータバスを介して出力される時に同時に乱数値を記憶するメモリであり、該メモリ3に記憶された乱数データは遅延設定値選択回路4に出力される。該遅延設定値選択回路4では入力された乱数値に基づき遅延サイクル数の設定を行う為の遅延時間の決定を行い、1乃至N（Nは整数）

の値 x を遅延回路5に出力する。遅延回路5は、入力された遅延設定値 x に基づき、乱数発生回路1へのシステムクロックの入力を x クロック分だけ遅延させる。その結果CPUからのリード信号7b出力された時に、レジスタ2に格納された乱数値がデータバスを介して出力される。尚6は制御ゲートである。前記レジスタ2、メモリ3、遅延設定値選択回路4及び遅延回路5とにより入賞毎にシステムクロックを1~N(Nは整数)クロック分ずらす手段が形成されている。

【0007】乱数発生回路1は、例えば n ビットM系列、例えば n ビットカウンタによる1クロック1乱数発生方式によるものとする。乱数読み出しレジスタ2は、乱数発生回路1によって発生した乱数を制御ゲート6の出力信号であるOEによりラッチし、そのラッチした乱数をメモリ3及び図示しないCPUが乱数を読み出す為に必要なデータバス上へ送出する。メモリ3は、電氣的消去可能なメモリであり、乱数読み出しレジスタ2から送られた乱数データを記憶(保持)し、所定の操作、または動作により遅延設定値選択回路4へ当該データを送る。

【0008】遅延設定値選択回路4は、メモリ3より送られてきた乱数データに基づき、遅延回路5へ何サイクル分遅延させるかを決定し、その情報を遅延回路5へ送出する。例えばデータが“1”の場合、1サイクル分、“3”の場合は3サイクル分遅延させるといった情報を遅延回路5へ送出する。遅延回路5は、遅延設定値選択回路4より送られてきたデータを基に、所望の遅延時間/サイクルを生成し、乱数発生回路1を制御する。制御ゲート6は、ANDゲートであり、READ信号7bとCS信号7cの論理積によってOE信号を生成する。なお、制御信号は、CLK7aがシステムクロックを示し、READ信号7bとCS信号7cは、CPUからのアクセス信号であることを示す。なお、READ信号7b、CS信号7c、OE信号は便宜上、動作を説明する上でハイアクティブな信号とする。

【0009】図4は所定の乱数データにより、乱数発生回路1に対し、入賞毎(リード信号毎)にシステムクロックを1サイクル分遅延させる為の本発明にかかる第2実施例の動作を示すブロック図であり、8が入賞毎に一樣乱数発生回路へのシステムクロックを1クロック分だけずらす手段で等価回路となっている。入賞があると、図示しないCPUが乱数データを読み出す為にREAD信号7bとCS信号7cが共に“H”アクティブの信号を送出し、これらの信号は制御ゲート6で“H”アクティブのOE信号に変換され、この信号は乱数読み出しレジスタ2においてはラッチ信号として機能し、また乱数発生回路1においては所定のクロック分“1”をディセーブル(禁止状態)にする為の遅延信号として機能する。

【0010】この第2実施例における各信号の具体的な

変化を示したものが図5のタイミングチャートである。すなわちOE信号が等価回路8によって1サイクル分だけ乱数発生回路1をディセーブルさせる為の“H”アクティブの遅延信号に変換され、当該乱数発生回路1はこの期間のみ現在発生中の乱数をそのままホールドし、データバス上へ送出する。入賞毎、すなわちCPUが乱数データを読み込む毎に、乱数発生回路1は1クロック分ディセーブルとなる。例えば乱数発生回路1の最大周期(本実施例では50msecとした)内で2回の入賞があると、入賞がない時の場合から比べて、システムクロック1クロック分ずれた前の乱数データが抽出される(1回目はシフトの基点となる)。また、同様に3回の入賞があると2クロック分、4回の入賞があると3クロック分、5回の入賞があると4クロック分ずれた前の乱数データが抽出される。図6がその上記例を示す説明図であり、図2の従来例が第2実施例によって改善されていることを示している。

【0011】

【発明の効果】以上述べたように本発明にかかる乱数発生装置では、入賞毎に乱数データの抽出位置が適宜変化するので、読み出し周期と同期することにより発生していた乱数の一定周期化を防止することが可能となると共に入賞毎に x クロック分ずれる結果、乱数発生装置で算出される全ての乱数値を抽出することが可能となることから、抽選確率に関して一様性を保つことが可能となる。また、乱数発生装置専用のクロックを必要とせず、CPUを制御するクロックと同一クロックが使用できるので、簡単な回路で実現することが可能となる。

【図面の簡単な説明】

【図1】 従来例の遊技機の処理を示したフローチャート図である。

【図2】 従来例の乱数発生方式による乱数の周期性の問題点を示した概念図である。

【図3】 第1実施例の動作説明図である。

【図4】 第2実施例の動作説明図である。

【図5】 第3実施例の動作説明図のタイミングチャート図である。

【図6】 図2の従来例の乱数仕様が、第2実施例によって改善された例を示す説明図である。

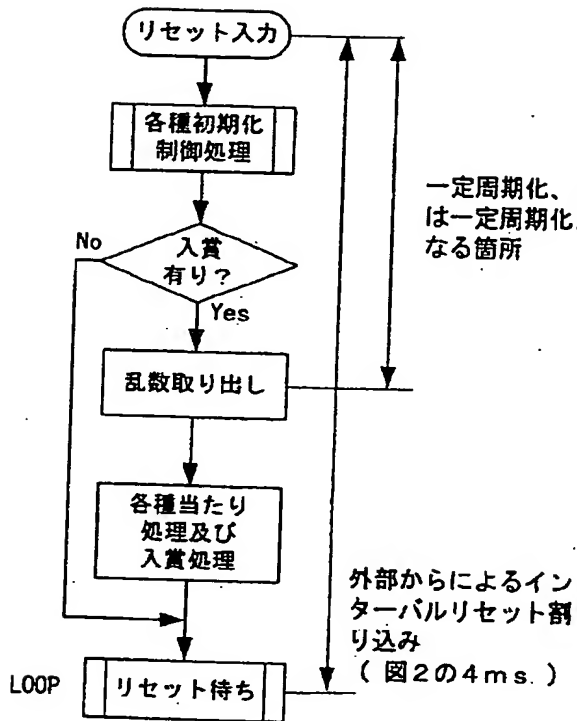
【符号の説明】

- | | |
|----|----------------------|
| 1 | 乱数発生回路 |
| 2 | 乱数読み出しレジスタ |
| 3 | メモリ |
| 4 | 遅延設定値選択回路 |
| 5 | 遅延回路 |
| 6 | 制御ゲート(AND(論理積)ゲート) |
| 7a | CLK(システムクロック) |
| 7b | CPUからのアクセス信号(READ信号) |
| 7c | CPUからのアクセス信号(CS信号) |

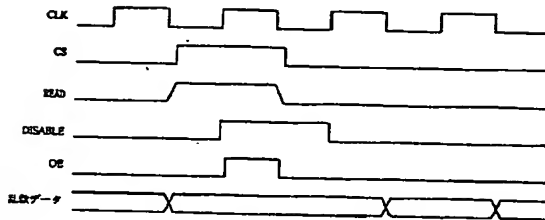
所定の乱数データによって乱数発生回路1

に対し1サイクル分遅延させる為の等価回路

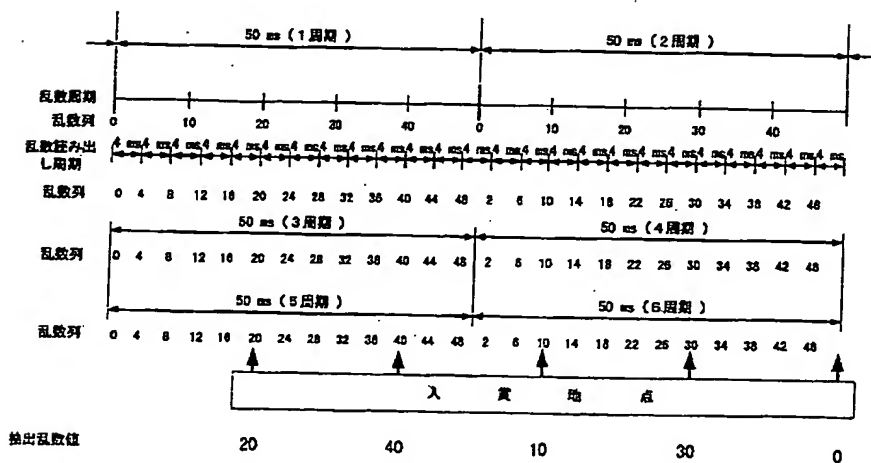
【図1】



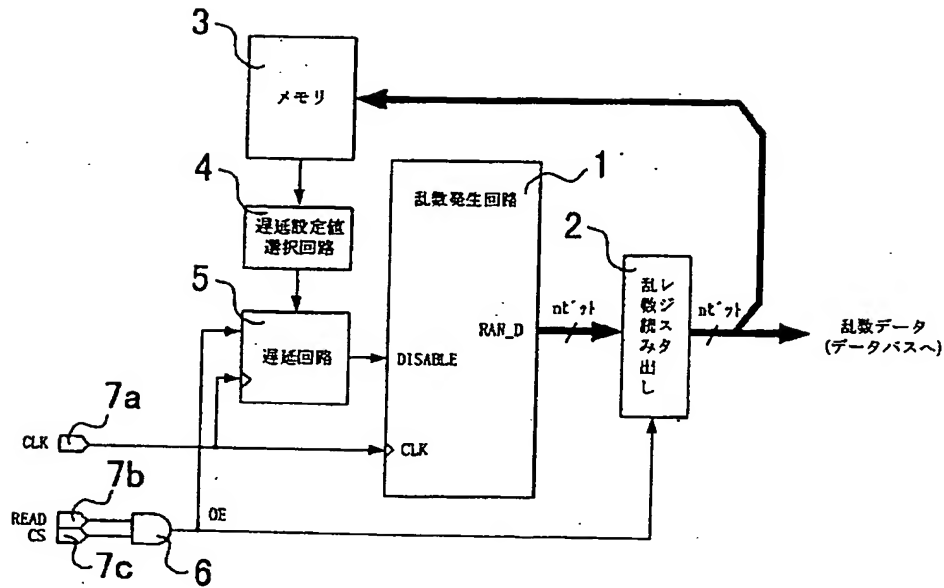
【図5】



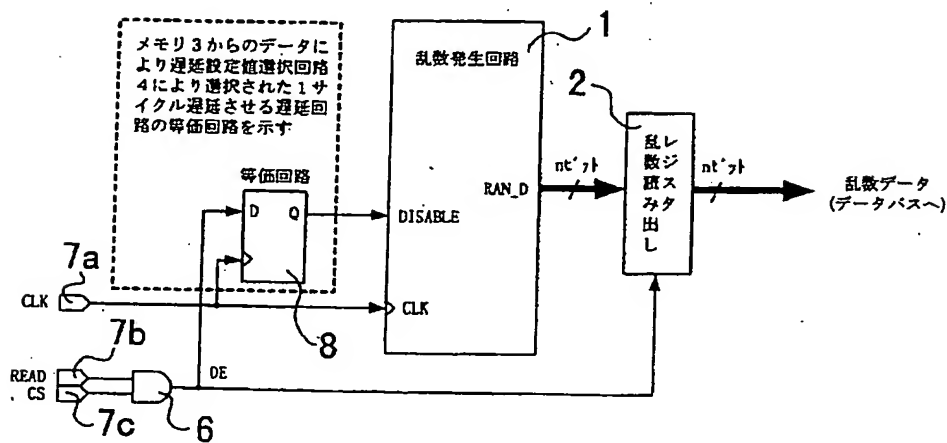
【図2】



【図3】



【図4】



【図6】

